

Programa Analítico de Disciplina

INF 450 - Organização de Computadores II

Departamento de Informática - Centro de Ciências Exatas e Tecnológicas

Catálogo: 2019

Número de créditos: 4
Carga horária semestral: 60h
Carga horária semanal teórica: 4h
Carga horária semanal prática: 0h
Semestres: I e II

Objetivos

Conceitos avançados das arquiteturas dos processadores, sistemas de memória e arquiteturas paralelas.

Ementa

Avaliação de desempenho. Nível de instruções. Pipeline. Escalonamento. Previsão de desvio. Superescalar e VLIW. Memória cache. Previsão de Load. Módulos memória de principal. Sistemas de I/O. Máquinas paralelas. Redes de interconexão. Hardware reconfigurável.

Pré e co-requisitos

INF 251

Oferecimentos obrigatórios

Curso	Período
Ciência da Computação	5

Oferecimentos optativos

Não definidos

INF 450 - Organização de Computadores II

Conteúdo					
Unidade	T	P	ED	Pj	To
1. Avaliação de desempenho 1. Tecnologias, custos e tendências, abordagem quantitativa, organização e arquitetura	4h	0h	0h	0h	4h
2. Nível de instruções 1. Tipos de conjunto de instruções, conjunto risc, implementação de um datapath risc básico	4h	0h	0h	0h	4h
3. Pipeline 1. Desempenho; conflitos de dados, controle e estrutura; implementação em hardware, exemplo de arquiteturas	4h	0h	0h	0h	4h
4. Escalonamento 1. Estático, expansão de loop, pipeline com múltiplas unidades funcionais 2. Escalonamento dinâmico: scoreboard, tomasulo	6h	0h	0h	0h	6h
5. Previsão de desvio 1. Estático e dinâmico, implementações, desempenho, avaliação quantitativa	4h	0h	0h	0h	4h
6. Superescalar e VLIW 1. Conceitos, exemplos de arquiteturas comerciais; família 80x86, Alpha e Sparc	4h	0h	0h	0h	4h
7. Memória cache 1. Tipos básicos, técnicas de redução de falhas, penalidade e tempo de acerto, avaliação quantitativa, políticas de substituição e atualização, problema de coerência, configurações de cache em processadores comerciais	8h	0h	0h	0h	8h
8. Previsão de Load 1. Trace cache, precarga de instruções, reaproveitamento de sequência de execução	6h	0h	0h	0h	6h
9. Módulos memória de principal 1. Memória virtual: paginação, segmentação, TLB, políticas de substituição, limite arquitetura e sistemas operacionais	4h	0h	0h	0h	4h
10. Sistemas de I/O 1. Barramentos, DMA, tecnologias de armazenamento, avaliação de desempenho, padrões comerciais	4h	0h	0h	0h	4h
11. Máquinas paralelas 1. Multiprocessadores e vetoriais	4h	0h	0h	0h	4h
12. Redes de interconexão 1. Topologias estáticas, topologias dinâmicas, máquinas comerciais	4h	0h	0h	0h	4h
13. Hardware reconfigurável	4h	0h	0h	0h	4h

A autenticidade deste documento pode ser conferida no site <https://siadoc.ufv.br/validar-documento> com o código: Y3NU.41U8.JFKU

Total	60h	0h	0h	0h	60h
-------	-----	----	----	----	-----

(T)Teórica; (P)Prática; (ED)Estudo Dirigido; (Pj)Projeto; Total(To)

Planejamento pedagógico	
Carga horária	Itens
Teórica	Apresentação de conteúdo oral e escrito com o apoio de equipamento (projektor, quadro-digital, TV, outros)
Prática	Resolução de problemas
Estudo Dirigido	<i>Não definidos</i>
Projeto	<i>Não definidos</i>
Recursos auxiliares	<i>Não definidos</i>

INF 450 - Organização de Computadores II

Bibliografias básicas

Não definidas

Bibliografias complementares

Descrição	Exemplares
ANDREW TANENBAUM, Structured computer organization. 4/e 1999/0-13-095990-1.	1
D. PATTERSON, J. HENNESSY. Computer architecture a Quantitative Approach. 5.ed. Morgan & Kaufmann, 2011, pp856	4
D. PATTERSON; J. HENNESSY. Computer organization & design: the Hardware/software interface. 2.ed. Morgan & Kaufmann, 2011, pp914	6
HAROLD, S. STONE. High Performance Computer Architecture. 3.ed. Addison-Wesley.	1
KAI HWANG, Computer Architecture and paralel processing. McGraw-Hill, 1984.	1
TANENBAUM, A.S. Organização estruturada de computadores, Rio de Janeiro: Prentice-Hall do Brasil, c1992, 460p.	20
WILLIAM STARLINGS, Computer Organization and Architecture: Designing for Performance. 5/e .2000 / 0-13-081294-3.	1